

SRAM 泄漏功耗分析和估算

陈志强¹, 潘兰芳¹, 吴秀山¹, 吴晓波²

(1 中国计量学院 机电工程学院, 浙江 杭州 310018; 2 浙江大学 VLSI 设计研究所, 浙江 杭州 310027)

摘 要: SRAM 的泄漏功耗是超大规模集成电路设计中需要满足的一个重要指标, 对 SRAM 泄漏功耗的估算也是设计中需要解决的一个重要问题. 通过分析 SRAM 的结构组成, 建立各组成部分在不同工作状态下的泄漏功耗模型, 利用建立模型进行功耗估算. 仿真结果表明, 建立的模型能够对不同尺寸的 SRAM 的泄漏功耗进行快速的估算, 而且误差可以接受.

关键词: 功耗估算; 泄漏功耗; SRAM; 功耗模型

中图分类号: TN47

文献标识码: A

文章编号: 1000-7180(2010)11-0077-05

Leakage Power Analysis and Estimation in SRAMs

CHEN Zhi-qiang¹, PAN Lan-fang¹, WU Xiu-shan¹, WU Xiao-bo²

(1 Circuit and System Department, China Jiliang University, Hangzhou 310018, China;

2 Institute of VLSI design, Zhejiang University, Hangzhou 310027, China)

Abstract: Leakage power of SRAM is important index to meet in VLSI design, and the leakage power analysis and estimation is a problem to solve. Under analyzing the operation theory of SRAMs, some power models were established for each part of the SRAMs which playing different roles in various operational phases. The simulation result shows the leakage power of SRAM could be estimated quickly basing on the presented model and the deviation is small.

Key words: power estimation; leakage power; SRAM; power model

1 引言

SRAM(Static Random Access Memory, 静态随机访问存储器)广泛应用于高性能处理器的设计中, 一般情况下, 处理器中 SRAM 所占的裸片面积比较大, 也是处理器功耗的主要消耗者, 而 SRAM 的功耗主要是泄漏功耗. 在 VLSI(Very Large Scale Integrated Circuit, 超大规模集成电路)设计中要满足功耗指标就需要对 SRAM 的功耗做出估算. 目前, 人们对泄漏功耗的估计问题做了大量的研究, 但主要集中在对门级组合逻辑电路的泄漏功耗估计, 对 SRAM 泄漏功耗的研究很少. 由于 SRAM 本身就是晶体管级设计, 所以门级电路泄漏功耗估计方法不适用于 SRAM 的泄漏功耗估计^[1]. 通过分析 SRAM 各子模块电流的泄漏功耗, 建立了相应的泄漏功耗

模型, 是估算 SRAM 泄漏功耗的一种有效方法.

2 SRAM 结构组成和工作原理

一般情况下 SRAM 都具有相同的结构, 只是每个 SRAM 的尺寸大小和存储核心单元的组织结构不同(行和列的结构安排不同)^[1-3]. SRAM 主要包括地址解码逻辑块, 存储核心单元, 列读取逻辑, 写列逻辑, 读控制逻辑和写控制逻辑等子块, 如图 1 所示.

在一个 SRAM 时钟周期内, 读/写操作在时钟周期的第一阶段执行(读/写阶段), 预充电动作在时钟周期的第二阶段执行, 预充电操作与第一阶段执行何操作无关. 如果时钟周期内没有操作执行, 所有的字线保持低电平, 位线保持预充电状态(高电平), 这个阶段称之为空闲阶段.

收稿日期: 2009-09-26; 修回日期: 2009-11-26

基金项目: 浙江省自然科学基金项目(Y1090380)

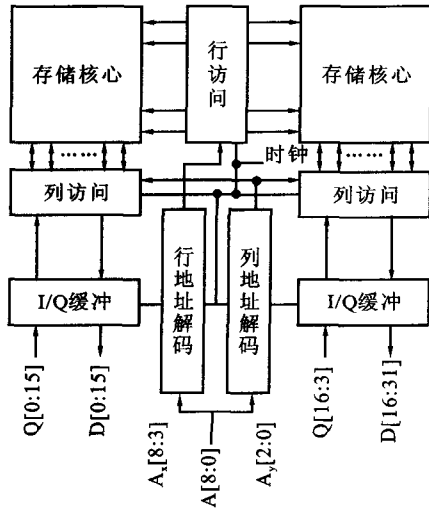


图1 SRAM 结构图

3 SRAM 泄漏功耗模型

由于操作不同,处于关闭状态的晶体管不同,SRAM 的泄漏电流随时钟周期内执行的操作而变化,所以 SRAM 的泄漏功耗模型要根据 SRAM 分别在读、写、预充电和空闲阶段各个模块的不同状态分别考虑.为了方便分析,假设子模块瞬态的泄漏电流与稳态的泄漏电流大小一样.按照文献[1]中讨论,这个假设虽然会引入一些误差,但误差在一个合理的范围内.

3.1 存储核心单元模型

存储核心单元结构如图 2 所示.一个 SRAM 存储单元包括 6 个 MOS 管,两个反相器交叉耦合构成双稳态电路存储信息,N3、N4 两个 MOS 管是起控制选择作用的门管. P1 和 P2、N1 和 N2、N3 和 N4 分别是对称设计,因此具有相同的特征参数和几何尺寸.因此,在关断状态,对称管具有相同的泄漏电流^[4],即:

$$I_{\text{leak}}(P1) = I_{\text{leak}}(P2),$$

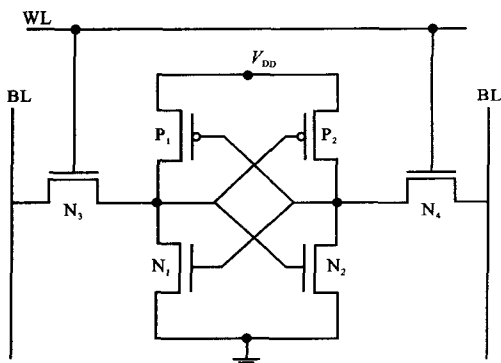


图2 存储核心单元电路图

$$I_{\text{leak}}(N1) = I_{\text{leak}}(N2),$$

$$I_{\text{leak}}(N3) = I_{\text{leak}}(N4).$$

在空闲阶段, $WL=0, BL=1, BL_b=1$. 由于对称设计的特点,SRAM 单元电路在空闲状态的泄漏功耗与所存储的数据无关,存储核心单元的总泄漏功耗可以表示为式(1):

$$I_{\text{memCoreIdle}} = N_{\text{row}} \cdot N_{\text{col}} \cdot [I_{\text{leak}}(P2) + I_{\text{leak}}(N1) + I_{\text{leak}}(N3)] \quad (1)$$

式中, $N_{\text{row}}, N_{\text{col}}$ 分别为存储核心单元包含的存储单元的行数和列数. I_{leak} 为泄漏电流,包括亚阈值泄漏电流,栅氧化层泄漏电流和 BTBT 电流.

在读取数据阶段,存储节点 Bit 和 $\bar{\text{Bit}}$ 连接到位线 BL 和 $\bar{\text{BL}}$,公共负载管对位线充电,BL 和 $\bar{\text{BL}}$ 在读操作之前都被充电到高电平,选中字线上每个存储单元按照单元中存储的信息(高电平或低电平),通过 2 条位线中的一条部分放电位线.考虑 MOS 管^[5]的对称性设计,存储单元的泄漏电流分两种情况, $WL=1$ 和 $WL=0$,表示为

$$I_{\text{memCellRd}} = I_{\text{leak}}(P2) + I_{\text{leak}}(N1) + I_{\text{leak}}(N3), WL=0$$

$$I_{\text{memCellRd}} = I_{\text{leak}}(P2) + I_{\text{leak}}(N1), WL=1 \quad (2)$$

读取数据时存储核心单元的总泄漏电流为

$$I_{\text{memCoreRd}} = N_{\text{rows}} \cdot N_{\text{cols}} \cdot [I_{\text{leak}}(P2) + I_{\text{leak}}(N1) + I_{\text{leak}}(N3)] - N_{\text{rows}} \cdot I_{\text{leak}}(N3) \quad (3)$$

写入操作时,对于 $WL=0$ 的单元,当 Bit = BL 时,只有 P1, N2 或 P2, N1 其中一对 MOS 管关断;当 Bit $\neq$ BL 时,门管 N3 和 N4 也关断.对于 $WL=1$ 的单元,只有只有 P1, N2 或 P2, N1 其中一对 MOS 管关断.假设字线未选中的单元中 Bit = BL 和 Bit $\neq$ BL 的概率都为 0.5,写操作时存储核心单元的泄漏电流可以表示为

$$I_{\text{memCoreWrt}} = N_{\text{rows}} \cdot N_{\text{cols}} [I_{\text{leak}}(P1) + I_{\text{leak}}(N2) + I_{\text{leak}}(N3)] - N_{\text{cols}} I_{\text{leak}}(N3) \quad (4)$$

综合以上分析,在读,写,空闲或者预充电阶段,存储核心单元的的泄漏电流可以归结为一个等式:

$$I_{\text{memCore}} = N_{\text{rows}} \cdot N_{\text{cols}} [I_{\text{leak}}(P1) + I_{\text{leak}}(N2) + I_{\text{leak}}(N3)] \quad (5)$$

3.2 列读取逻辑模型

列读取逻辑由位线充电逻辑、隔离逻辑、差分放大器 and 位线和输出缓冲器的预充电逻辑的组成.

图 3 是差分列读取逻辑电路图.列读取逻辑在空闲阶段,位线、读出位线已经预充电,读出位线预充电使能(SensePCH),位线预充电使能(PCH)和隔

离信号使能(ISO0)均保持低电平,关闭使能.列读取逻辑在空闲时间段的泄漏电流主要是灵敏放大器使能 NMOS 管 Dsa_N3 和输出缓冲器中的 PMOS 管在关断状态的泄漏电流.在空闲、预充电、读、写阶段和整个列读取子电路的泄漏电流表示为

$$I_{rdColIdle} = I_{leak}(Dsa_N3) + 2I_{leak}(Buf_P1) \quad (6)$$

$$I_{rdColWrt} = 2I_{leak}(Pch_P1) + I_{leak}(Iso_P1) + I_{leak}(Dsa_N3) + 2I_{leak}(Buf_P1) \quad (7)$$

$$I_{rdColRead} = 2I_{leak}(sPch_P1) + I_{leak}(Iso_P1) + I_{leak}(Dsa_N1) + I_{leak}(Dsa_P2) + I_{leak}(Buf_P1) + I_{leak}(Buf_N2) \quad (8)$$

$$I_{rdCol} = \frac{N_{cols}}{S_{rdMux}} \cdot I_{rdColIdle} \quad \text{空闲或预充电阶段}$$

$$= 2N_{cols} \cdot I_{leak}(Pch_P1) + \frac{N_{cols}}{S_{wrtMux}} [I_{leak}(Iso_P1) + \frac{N_{cols}}{S_{rdMux}} [I_{leak}(Dsa_N3) + 2 \cdot I_{leak}(Buf_N2)]] \quad \text{写入阶段}$$

$$= \frac{N_{rows}}{S_{rdMux}} \cdot I_{rdColRead} \quad \text{读取阶段} \quad (9)$$

式中, S_{rdMux} 和 S_{wrtMux} 表示列读取和写列多路复用器的尺寸.

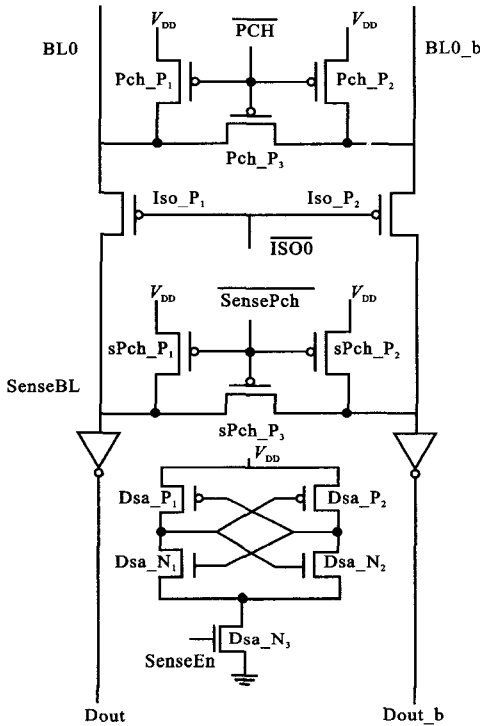


图3 差分列读取电路图

3.3 列写入电路模型

列写入电路由一个简单的差分级构成,差分级

由 Data 和 $\overline{\text{Data}}$ 驱动至饱和状态.写入信号控制两个传输管和放大器的电流源的开关.图4中加粗的晶体管是列写入电路空闲时段发生泄漏的晶体管.

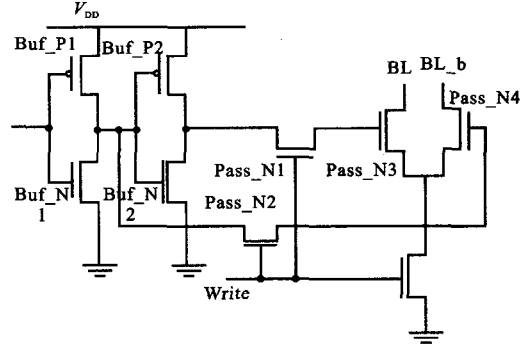


图4 列写入电路原理图

在空闲阶段,预充电阶段和数据读取阶段,位线预充电到高电平,写入使能信号关断.当 Din=0 时,列写入子电路的泄漏电流可以表示为

$$I_{wrtColIdle} = I_{wrtColRead} = I_{wrtColPch}$$

$$= 0.5 \cdot I_{leak}(Buf_N1 + Buf_N2 + Buf_P1 + Buf_P2) + S_2 \cdot I_{leak}(pass_N4 + Wen) \quad (10)$$

$$I_{wrtCol} = \frac{N_{cols}}{S_{wrtMux}} \cdot 0.5 \cdot I_{leak}(Buf_N1 + Buf_P2) + 0.5 \cdot I_{leak}(Buf_P1 + Buf_N2)$$

$$= \frac{0.5 \cdot N_{cols}}{S_{wrtMux}} \cdot I_{leak}(Buf_N1 + Buf_P2 + Buf_P1 + Buf_N2) + N_{cols} \cdot S_2 \cdot I_{leak}(Pass_N1 + Wen) \quad (11)$$

3.4 地址译码器模型

如图5所示的常用的译码器电路,第一级3-8译码器组是行地址预解码电路,如果行地址不是3的倍数,可以采用2-4译码器来构成相应的预解码电路.第二级利用NOR门将第一级译码器组的输出组合对应与存储阵列的每一行,每个NOR门的输入数为所有第一级译码器的输出数之和.第三级是一组反相器,连接每条字线的驱动器.

当存储核心单元行数 N_{rows} 已确定后,译码逻辑中3-8译码器的数 N_{3to8} ,NOR门数 N_{nor} ,第三级反相器数 N_{inv} 以及字线驱动器数可以通过式(12)~(14)表示.

$$N_{addr} = \log_2 N_{rows} \quad (12)$$

$$N_{3to8} = \frac{N_{addr}}{3} \quad (13)$$

$$N_{nors} = N_{inv} = N_{wldrv} = N_{rows} \quad (14)$$

一般的3-8译码器由8个NAND和3个反相

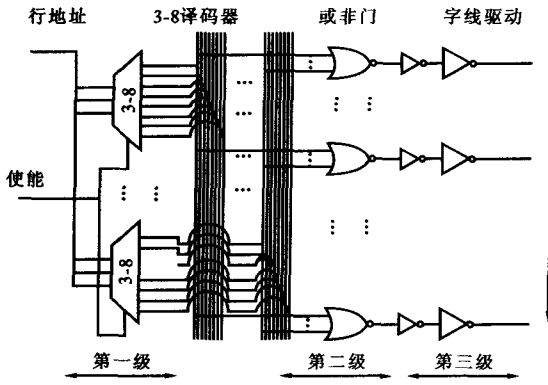


图5 地址译码器结构

器组成. 在读/写操作期间, 使能信号选通, 其中一个 NOR 门输出为高电平, 第三级的的反相器和字线驱动器的输出分别为低电平和高电平; 在空闲或预充电阶段, NOR 输出为低电平, 第三级的的反相器和字线驱动器的输出分别为高电平和低电平.

译码器三级的的泄漏电流分别表示为式(15)~(17). 整个译码器的泄漏电流是三个级的泄漏电流之和, 表示为式(18).

$$I_{\text{stages}} = N_{\text{rows}} \cdot I_{\text{leak}}(\text{inv} + \text{wlDrive})$$

$$= (N_{\text{rows}} - 1) \cdot I_{\text{leak}}(\text{inv}_N + \text{wlDrive}_P) + I_{\text{leak}}(\text{inv}_P + \text{wlDrive}_N) \text{ 读写阶段}$$

$$= N_{\text{rows}} \cdot I_{\text{leak}}(\text{inv}_N + \text{wlDrive}_P) \text{ 预充电和空闲阶段} \quad (15)$$

$$I_{\text{stage2}} = N_{\text{rows}} \cdot I_{\text{leak}}(\text{NOR}) \quad (16)$$

$$I_{\text{stage1}} = N_{3\text{to}8} \cdot [3I_{\text{leak}}(\text{addInv}) + 8I_{\text{leak}}(\text{NAND})] \quad (17)$$

$$I_{\text{dec}} = I_{\text{stage1}} + I_{\text{stage2}} + I_{\text{stage3}} \quad (18)$$

3.5 读/写控制逻辑模型

与存储核心单元和列读写电路拥有规则的结构不同的是, 每个 SRAM 的读/写控制电路都不尽相同. 读/写控制电路模块分别驱动控制列读取和列写入电路的信号线, 如读取控制逻辑驱动控制存储核心单元每列中预充电逻辑和差分敏感放大器逻辑. 读写控制逻辑的泄漏电流主要来源于驱动穿过存储核心单元的信号线的缓冲器. 而且, 利用 SPICE 对 7 个不同存储阵列中的读/写控制逻辑的模拟, 得出一个经验等式, 该等式表明了读/写控制逻辑模块的泄漏电流为其输出驱动缓冲器泄漏电流的 1.3~1.5 倍. 这里我取 1.4 倍来对读写控制逻辑的泄漏电流进行估计, 即

$$I_{\text{ctrlLkg}} = 1.45 \sum_i I_{\text{oBufi}} \quad (19)$$

读控制的输出驱动包括灵敏放大器使能驱动

(senseEnDrv), 预充电驱动(PchDrv), 感应预充电驱动(sPchDrv)和隔离驱动(isoDrv), 隔离驱动器的数目和列读取多路器的数量一致. 写控制逻辑包括写入多路器及与其相连的组合电路. 读取控制逻辑的泄漏电流可以表示为式(20).

$$I_{\text{rdCntl}} = 1.45 [I_{\text{leak}}(\text{sEnDrv}_N + \text{pchDrv}_N + \text{sPchDrv}_N) + S_{\text{rdMux}} I_{\text{leak}}(\text{isoDrv}_P)]$$

读取阶段

$$= 1.45 [I_{\text{leak}}(\text{sEnDrv}_N + \text{pchDrv}_N + \text{sPchDrv}_N) + S_{\text{rdMux}} I_{\text{leak}}(\text{isoDrv}_P)]$$

其他阶段

$$(20)$$

对写入控制电路, 泄漏电流可以表示为

$$I_{\text{wrtCntl}} = 1.45 [I_{\text{leak}}(\text{wrtDrv}_N + (S_{\text{wrtMux}} - 1) I_{\text{leak}}(\text{wrtDrv}_P)]$$

写入阶段

$$= 1.45 \cdot S_{\text{wrtMux}} \cdot I_{\text{leak}}(\text{wrtDrv}_P)$$

其他阶段

$$(21)$$

结合以上的分析, 整个 SRAM 在不同的操作状态下的泄漏功耗可以为各个子模块的泄漏功耗之和. 所以每个操作期 SRAM 的平均泄漏功耗可以表示为等式(22)~(24):

$$I_{\text{array}} = I_{\text{memCore}} + I_{\text{rdCol}} + I_{\text{wrtCol}} + I_{\text{dec}} + I_{\text{rdCntl}} + I_{\text{wrtCntl}} \quad (22)$$

$$P_{\text{array}} = I_{\text{array}} \cdot V_{\text{dd}} \quad (23)$$

$$P_{\text{average}} = P_{\text{array}}(\text{idle}) + P_{\text{array}}(\text{read}) + P_{\text{array}}(\text{write}) \quad (24)$$

4 SRAM 平均泄漏功耗估算

仿真对象基于 TSMC 0.18 μm 工艺生成的 SRAM. 首先利用 Hspice 计算生成的 SRAM 中各个模块的泄漏电流, 由于生成的 SRAM 的结果有很强规律性, 所以只需要计算出几个单元电路的泄漏电流. 然后利用第 2 节建立的功耗模型, 估计相应子模块电路的泄漏功耗, 最后求得总泄漏功耗^[6].

算法用 perl 语言实现, 在 CPU 频率为 2.4MHz, 内存为 2GB 的 Linux 工作站上进行模拟. 分别对 512 $\times$ 32, 512 $\times$ 2, 128 $\times$ 45 阵列 SRAM 进行了模拟, 算法的运行时间只有不到 1 分钟, 与 SPICE 几十分钟到几个小时的仿真时间相比较, 减少了功耗估算的时间. 仿真结果如表 1 第二列所示. 同时, 作为对照, 也用 SPICE 分别对各子电路模块进行模拟, 结果如表中第三列所示, 最后一列为仿真误差.

表 1 估算结果与 HSPICE 仿真结果对比			
SRAM size	Estimation result/ μ W	Hspice result/ μ W	Error/%
512 $\times$ 32	89.542 42	93.527 64	4.261
512 $\times$ 2	33.411 30	32.339 88	-3.313
128 $\times$ 45	51.971 33	54.947 88	5.417

5 结束语

通过分析 SRAM^[7] 各个组成模块的工作状态,建立相应的功耗模型,仿真结果表明,利用建立的功耗模型,能够快速的估算 SRAM 的泄漏功耗.

参考文献:

[1] Chen X, Peh L. Leakage power modeling and optimization in interconnection networks[C]// Proceedings of the 2003 International Symposium on Low Power Electronics and Design, 2003. ISLPED '03. Korea: Seoul, 2003: 90 - 95.

[2] Mamidipaka M. Leakage power estimation in SRAMs[R]. CECS TR03 - 32, UC Irvine, 2003.

[3] Byung - Do, Y, Lee - Sup K. A low - power SRAM using hierarchical bit line and local sense amplifiers[J]. Solid - State Circuits, 2005,40(6):1366 - 1376.

[4] Mamidipaka M. Analytical models for leakage power estimation of memory array structures [C]// International Conference on Hardware Software Codesign archive Proceedings of the 2nd IEEE/ACM/IFIP. France Paris, 2004:146 - 151.

[5] 甘学温. 数字 CMOS VLSI 分析与设计基础[M]. 2 版. 北京:北京大学出版社,1999.

[6] 陈志强,吴晓波,严晓浪. 基于 GSAA 算法的组合电路最大功耗估计方法[J]. 电路与系统学报,2005,10(2):75 - 78.

[7] 李海霞. 一种低功耗抗辐照加固 256kbSRAM 的设计[J]. 微电子学与计算机,2007,24(7):142 - 145.

作者简介:

陈志强 男,(1974 -),博士.研究方向为数模混合集成电路设计、低功耗设计.

(上接第 76 页)

作者简介:

张南生 男,(1983 -),硕士研究生.研究方向为纳电子器件的理论及应用、数字电路与信号处理.

蔡理 女,(1959 -),教授,博士生导师.研究方向为集成

滤波器理论和设计、纳电子器件的理论及应用、现代集成电路与系统.

冯朝文 男,(1983 -),博士研究生.研究方向为纳电子器件的理论及应用,集成电路与信号处理.